

Reference 6 (JPN PAT Appln Laid Open No. Sho 60-261095)



(19)

(11) Publication number:

60261095 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 59116904

(51) Int'l. Cl.: G11C 7/00

(22) Application date: 06.06.84

(30) Priority:

(43) Date of application publication: 24.12.85

(84) Designated contracting states:

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: TANIGAWA TOSHIYUKI  
WAKIMOTO KINGO  
MIYAJIMA HIROSHI

(74) Representative:

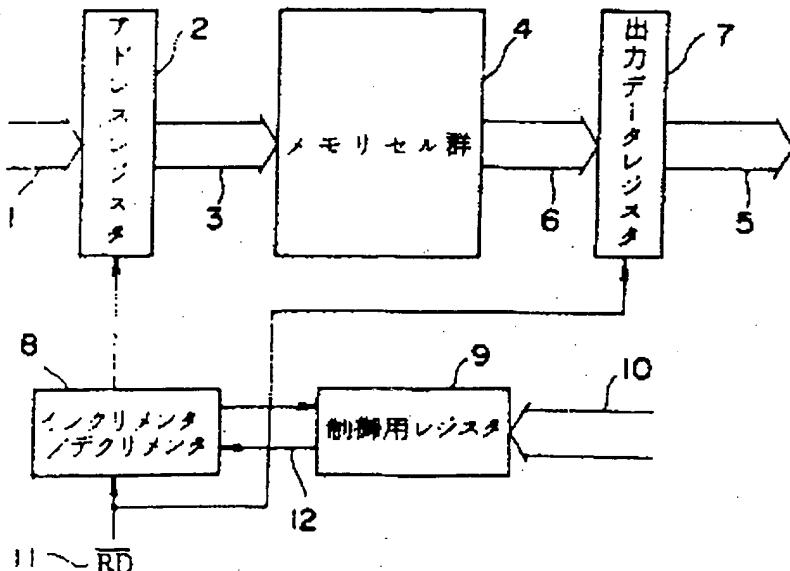
(54) SEMICONDUCTOR STORAGE DEVICE

(57) Abstract:

**PURPOSE:** To reduce the processing time when a data with a consecutive address is read continuously by controlling automatically increment or decrement of a content of an address register.

**CONSTITUTION:** An initial address is written in an address register 2 and a complement of a number of times incrementing or decrementing the address is written in a control register 9. Then an increment/decrement 8 increments/decrements the content of the register 2 by 1 each and a memory cell group 4 is read continuously by the consecutive address until the content of the register 9 reaches "0". The processing time in reading the data of the consecutive address continuously is reduced in comparison with the use of an address counter by controlling automatically the increment or decrement of the content of the address register.

COPYRIGHT: (C)1985,JPO&Japio



Reference 6 - Supplement by Yamakawa IPO

For the purpose of continuously reading the data in consecutive bit positions, both the foremost address of the location of the data to be read in the memory and the numerical value indicative of the difference between the foremost address and the rearmost address are included in one same address signal therefor. On the storage device side, the foremost address received is stored in the address register 2 and the numerical value indicative of the difference between the foremost and rearmost addresses is stored in the control register 9. Each time the reading of a unit of data is accomplished, increment takes place in the address register and, simultaneously, decrement in the control register, which lasts until the count in the control register 9 comes down to "0".

Ref-6 R-6

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
⑫ 公開特許公報 (A) 昭60-261095

⑬ Int. Cl. 4  
G 11 C 7/00

識別記号 域内整理番号  
6549-5B

⑭ 公開 昭和60年(1985)12月24日

審査請求 未請求 発明の数 1 (全 4 頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特願 昭59-116904

⑰ 出願 昭59(1984)6月6日

⑱ 発明者 谷川俊之 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 発明者 関本欣吾 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 発明者 宮島博 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

㉑ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒ 代理人 弁理士 大岩増雄 外2名

明細書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) アドレスにより定められる各記憶位置にそれぞれ所定ビット数のデータを記憶するメモリセルが配置されたメモリセル群、

このメモリセル群のアクセスすべきデータを指定するアドレス信号が記憶されるアドレスレジスタ、

このアドレスレジスタに外部アドレス線からアドレス信号を書き込む手段、

上記アドレスレジスタの内容に対し所定のクロックごとに数値1を加算又は減算するインクリメンタ/デクリメンタ、

このインクリメンタ/デクリメンタを動作させ、又はその動作を停止させる制御信号を出力する制御用レジスタ、

上記アドレスレジスタにアドレス信号を書き込む時点で、上記メモリセル群から連続して読み出すべ

きデータの種数に関連する数値を上記制御用レジスタに書き込み、上記インクリメンタ/デクリメンタから上記アドレスレジスタの内容に対し所定のクロックごとに数値1を加算又は減算する各時点で上記インクリメンタ/デクリメンタから上記制御用レジスタの内容に対し数値1を加算又は減算し、上記制御用レジスタの内容が所定の数値に達したとき上記制御用レジスタから上記インクリメンタ/デクリメンタの動作を停止する信号を出力する手段、

上記アドレスレジスタの内容によりアクセスされ上記メモリセル群から読み出されたデータが入力される出力データレジスタ、

上記所定のクロックごとに、当該クロック時点における上記インクリメンタ/デクリメンタによる上記アドレスレジスタの内容の変更過程が終了した時点において上記出力データレジスタへの入力信号を上記出力データレジスタに書き込む手段を備えた半導体記憶装置。

(2) メモリセル群、アドレスレジスタ、インク

リメンタ／デクリメンタ、制御レジスタ及び出力データレジスタは、関連する他の回路と同一基板上に形成されることを特徴とする特許請求の範囲才1項記載の半導体記憶装置。

### 3. 発明の詳細な説明

#### 〔発明の技術分野〕

この発明は半導体記憶装置に関し、特にその読み出しの高速化に関するものである。

#### 〔従来技術〕

オ1 図はRAM(ランダムアクセスメモリ)を構成する従来の半導体記憶装置を示すブロック図であって、図において、11は外部アドレス線、12はアドレスレジスタ、13は内部アドレス線、14はメモリセル群、15は外部出力データ線である。

メモリセル群14に格納されているデータを読み出す場合、そのデータのメモリセル群14内でのアドレスを示すアドレス信号を外部アドレス線11を経てアドレスレジスタ12に書き込む。このアドレスレジスタ12の内容が内部アドレス線13を介してメモリセル群14に入力されそのアドレスによって指定

されたデータが出力データ線15に出力される。但し、アドレスレジスタ12の内容が変動している過渡期間のデータを誤って利用しないようメモリセル群14と出力データ線15との間、又は出力データ線15の後に正しいタイミングの出力データを選択するための回路が必要である。

次に、メモリセル群14内の他のアドレスのデータを読み出す場合は、そのアドレスを外部アドレス線11からアドレスレジスタ12に書き込み内部アドレス線13を介してメモリセル群14にアクセスする。

従来のRAMは以上のように構成されているので1つのデータを読み出すごとにそのデータのアドレスを外部アドレス線11から入力してアドレスレジスタ12に書き込むことが必要であり、連続したアドレスのデータを順次読み出すような場合でも1つのデータごとに外部アドレス線11からの入力を必要とし、そのため読み出しに必要とする時間が長くなるという欠点があった。

#### 〔発明の概要〕

この発明は上記のような従来のものの欠点を除

去するためになされたもので、この発明では半導体記憶装置の内部にインクリメンタ／デクリメンタと出力データレジスタとを内蔵し、連続したアドレスのデータを順次読み出す場合は、外部アドレス線からは読み出すべきデータ群の先頭アドレスだけを入力してアドレスレジスタにセットし、其後はインクリメンタ／デクリメンタにより所定のクロックごとにアドレスレジスタの内容に数値1を加算又は減算することによってアドレスを順次変化させ、この変化するアドレスが整定された時点において読み出されたデータを出力データレジスタに格納した上で、次のクロック時点でアドレスレジスタの内容に更に数値1を加算又は減算するようにしたものである。更にまたこの発明では制御用レジスタを設け、インクリメンタ／デクリメンタからアドレスレジスタの内容に数値1を加算又は減算するたびに制御用レジスタに数値1を加え、制御用レジスタの内容の示す累計数値が連続して読み出すべきデータの総数に達したときインクリメンタ／デクリメンタの動作を停止すること

によって、インクリメンタ／デクリメンタの動作制御を自動的に行なった。

#### 〔発明の実施例〕

以下この発明の実施例を図面について説明する。オ2図はこの発明の一実施例を示すブロック図で、オ1図と同一符号は同一又は相当部分を示し、16は内部出力データ線、17は出力データレジスタ、18はインクリメンタ／デクリメンタ、19は制御用レジスタ、20はデータ線、21は信号 $\overline{RD}$ (読み出し制御信号)の入力線、22は制御信号線である。制御用レジスタ19の内容が数値0のとき信号線22上の信号論理が「0」となりインクリメンタ／デクリメンタ18の動作を停止する。

以下、数値例を用いてオ2図の回路の動作を説明する。メモリセル群14の、たとえば、アドレス「 $30_H$ 」番地(但しサフィックスのHは16進表示であることを示す)から「 $4F_H$ 」番地までの「 $20_H$ 」個のデータを連続的(昇順)に読み出す場合を考える。この場合、インクリメンタ／デクリメンタ18がアドレスレジスタ12に数値1を加算すべき回数は

「 $4F_{H}$ 」 - 「 $30_{H}$ 」 = 「 $1F_{H}$ 」 = ( $20_{H}$  -  $01_{H}$ )である。すなわち「 $20_{H}$ 」個のデータのうち先頭の「 $30_{H}$ 」番地のデータは外部アドレス線(1)から設定されるからである。

数値「 $30_{H}$ 」を外部アドレス線(1)からアドレスレジスタ(2)に書込むと同時に、 - 「 $1F_{H}$ 」を表す数値(数値「 $100_{H}$ 」に対する数値「 $1F_{H}$ 」の補数、すなわち数値「 $E1_{H}$ 」)をデータ線(3)から制御用レジスタ(9)に書込む。アドレス「 $30_{H}$ 」のデータが内部出力データ線(6)上に出力される。信号RDが活性になる時点(すなわちパルスの立上り点)で内部出力データ線(6)上のデータが出力データレジスタ(7)に書込まれ外部出力データ線(5)上に送出される。

制御信号線(8)上の信号論理は「1」であるから、次に信号RDが不活性になる時点(すなわちパルスの立下り点)でインクリメンタ/デクリメンタ(8)がトリガされてアドレスレジスタ(2)と制御用レジスタ(9)の内容に数値1を加算し、それぞれの内容を「 $31_{H}$ 」、「 $E2_{H}$ 」とする。アドレス「 $31_{H}$ 」

のデータが内部出力データ線(6)に出力され、次に信号RDが活性になった時点で出力データレジスタ(7)に書込まれる。

このようにして連続したアドレスのデータが順次読み出されてゆくが、アドレスレジスタ(2)の内容が「 $4E_{H}$ 」から「 $4F_{H}$ 」になるとき、制御用レジスタ(9)の内容は「 $FF_{H}$ 」から「 $00_{H}$ 」へ変化し、信号線(8)上の信号論理は「0」となりインクリメンタ/デクリメンタ(8)の動作は停止する。

上記実施例では、制御用レジスタ(9)の初期値として数値「 $1F_{H}$ 」の補数を設定したが、数値「 $1F_{H}$ 」そのものを設定し、インクリメンタ/デクリメンタ(8)により数値1を減算して行ってもよい。その場合、アドレスレジスタ(2)の内容が「 $4E_{H}$ 」から「 $4F_{H}$ 」になるとき、制御用レジスタ(9)の内容は「 $01_{H}$ 」から「 $00_{H}$ 」となる。

アドレス番号「 $4F_{H}$ 」から終順に「 $20_{H}$ 」個のデータを連続して読み出す場合は、アドレスレジスタ(2)に数値「 $4F_{H}$ 」を書込むとき制御用レジスタ(9)には「 $1F_{H}$ 」を書込み、インクリメンタ/デク

リメンタ(8)により両レジスタ(2), (9)から数値1を順次減算してゆけばよい。

制御用レジスタ(9)の内容をリセット状態(数値「 $00_{H}$ 」を書込んだ状態)にしておけばオ2図の回路はオ1図の回路と同様に動作する。

なお、上記実施例ではインクリメンタ/デクリメンタ(8)のトリガに信号RDの立下り点を用いたが、他の適当なクロック信号を用いることもできる。

更に、上記実施例では、制御用レジスタ(9)をメモリセル群(4)とは別に設けたが、メモリセル群(4)の一部をレジスタとして使用してもよい。

また、オ2図に示す回路をそれに接続されるCPUあるいは、その他の周辺回路と同一基板上に構成してもよい。

#### [発明の効果]

以上のようにこの発明によれば、連続したアドレスのデータを連続して読み出す場合の処理時間を短縮することができる。

#### 4. 図面の簡単な説明

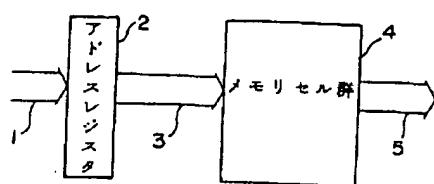
オ1図は従来の装置を示すブロック図、オ2図はこの発明の一実施例を示すブロック図である。

(1)…外部アドレス線、(2)…アドレスレジスタ、(4)…メモリセル群、(7)…出力データレジスタ、(8)…インクリメンタ/デクリメンタ、(9)…制御用レジスタ。

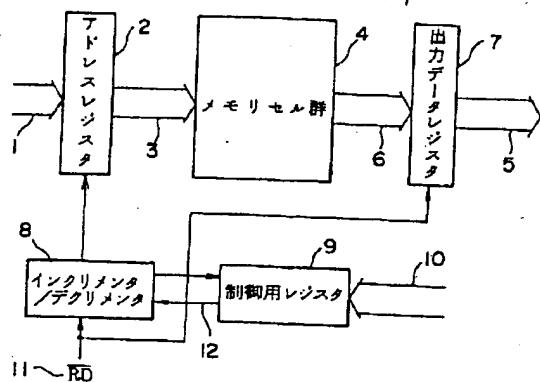
尚、各図中同一符号は同一又は相当部分を示す。

代理人 大岩 増雄

第1図 FIG. 1



第2図 FIG. 2



特開昭60-261095(4)

手続補正書(自発)

59 10 23  
昭和 年月日

特許庁長官殿

1. 事件の表示 特願昭 59-116904号

2. 発明の名称 半導体記憶装置

3. 補正をする者

事件との関係 特許出願人  
住所 東京都千代田区丸の内二丁目2番3号  
名称 (601)三菱電機株式会社  
代表者 片山仁八郎

4. 代理人

住所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏名 (7375)弁理士 大岩増雄

(電話番号 03(213)3421特許局)

5. 補正の対象

(1)明細書の「図面の簡単な説明」の欄

6. 補正の内容

(1)明細書第10頁第5行目「インクメンタ」とあるを「インクリメンタ」と訂正する。

59.10.2  
(以上)